NARLabs
國家實驗研究院

下線申請相關注意事項

台灣半導體研究中心
晶片實作組
2024/05/07

www.narlabs.org.tw

NARLabs

Outline

➢ **各製程相關注意事項**

TN40G....3

TN90GUTM....5

TN90GUTM with Cell-Based Flow....8

T18....13

SiGe18....21

D35....22

0.35μm Multi-Option MEMS....25

P15....27

GaN12....29

U18....30

U18 with Cell-Based Flow....35

IMEC-SiPh(iSiPP50G)....37

IMEC-SiPh(Passives+)....39

T18HVG2....40

T50GaN....45

➢ **下線申請事前注意事項**

加入會員....47

教育性申請修課學生點名單範例....48

歷年度晶片製作申請無法受理與不下線原因....49

➢ **其他注意事項**....52

TN40G製程注意事項(1/2)

1. 本製程為台積電提供的40 nm ，是從45 nm 微縮 90% 而來，故製程技術為40 nm，製程名稱 “TSMC 45 nm CMOS LOGIC General Purpose Superb (40G) ELK Cu 1P10M 0.9/2.5 V” 為台積電原廠shuttle的名稱。
2. TN40G使用1P9M_6X2Z(並非使用1P10M)，提供9層銅金屬(M1~M9)及AL_RDL (AP)可用於走線。核心元件電壓為0.9 V，IO元件電壓為2.5 V，注意: 不提供1.2 V及1.8 V元件，請勿誤用。
3. DRC網頁: https://www.tsri.org.tw/tw/noLeftMenuCommonPage.jsp?kindId=O0005。
4. 下線時請修正所有不能忽略的DRC錯誤。若因佈局設計上考量需違反DRC，請先與工程師討論後，再填寫 “晶片製作需違反DRC申請表” ，TSRI將詢問原廠是否可忽略；並在 “設計內容電子檔” 內說明必須違反之DRC項目及原因、附上佈局截圖等資訊。
5. Wirebond DRC: 確認無 CB.EN.1 與AP.EN.2 的錯誤，其餘可忽略。
6. Antenna DRC: 自行確認錯誤項目所造成的風險後可忽略。
7. 請詳閱EDA cloud上的文件: /cad/PDK/TN40G/TN40G_Training_Course_日期.pdf
8. 本製程有微縮，實際製作出的尺寸將為layout尺寸的90%。

• 如有TN40G製程技術相關問題，請洽詢製程負責工程師:
柯鈞琳先生 ，E-mail : clko@narlabs.org.tw ，電話：03-5773693 ext.7217

Return to Outline

TN40G製程注意事項(2/2)

9. TN40G有提供dummy generation utility輔助填補density，使用方法請參考7.。

10. TSRI提供L-mark sealring gds檔案，可依照layout大小自行調整seal ring的長寬。Sealring sample gds檔案路徑請參考cloud檔案:/cad/PDK/TN40G/PDK_TN40G.list，在virtuoso或laker匯入時，填入檔案路徑即可匯入成layout cell。執行DRC時，需將TN40G_DRC.rule檔案內 //#DEFINE WITH_SEALRING 前面的“//”刪除。

11. Full-Custom案件，以及mixed-signal案件自行繪製的佈局，禁止使用50;0與186;0這兩層layer。請於GDS上傳後，檢查 “使用層列表” ，如下圖，不可出現50與186。

GDS資訊			
DRC執行狀態	處理完成		
Top Cell Name	[redacted]	座標	X1Y1(0.000,0.000);X2Y2(979.900,1029.880)
使用層列表	2D6 3 3D6 6 6D1 6D7 11 12 17 17D1 17D7 18 18D3 25 26 29 30 30D11 31 31D1 32 32D1 33 33D1 34 34D1 35 35D1 36 36D1 37 37D1 38D40 38D41 39D40 39D41 49 50 50D1 50D2 50D21 51 51D1 52 52D1 53 53D1 54 54D1 55 55D1 56 56D1 57D40 58D40 [illegible]D63 67 74 74D1 76 80D11 80D14 82D1 82D2 82D3 82D4 82D5 82D6 82D7 82D8 82D9 82D10 82D11 82D12 82D13 82D14 82D16 83D1 83D2 83D3 83D4 83D5 83D7 86D20 100 108 111 115 117 119 121 122 127 131 132 133 134 135 136 137 138 139 149 150D1 150D2 150D3 150D4 150D5 150D6 150D7 150D8 150D9 150D20 150D21 157 186 186D1 189		
DRC結果下載	下載		DRC假錯列表
警告訊息	NONE		

不可出現這兩層

Return to Outline

TN90GUTM製程注意事項(1/3)

1. TN90GUTM涵蓋RF、Analog、Mixed-Signal與Logic Circuit之電路應用需求，提供使用Cell-Based Library，操作電壓為1.0V/3.3V。
2. TN90GUTM為1P9M(single poly, 9 metal layers)之銅製程，屬於General Purpose標準製程，Top Metal厚度為UTM (Ultra-thick Top Metal)，僅有9層metal可供佈線(M1~M9)，並無M10(=AP_MD)可用。所看到的AP層，僅會存在PAD上(without RDL)不可用來佈線。
3. 提供MOS、電阻、電感、電容的RF model，亦相容於一般Pure Logic製程。MIM電容密度為1.5 fF/μm^2 (無提供2.0fF/um^2) ，MOM電容使用請參考技術文件(TN90GUTM_MOMCAP_register_number.pdf)。
4. 晶片建議加上corner和seal ring保護晶片，防止切割造成損傷，TSRI已提供L-mark sample gds檔案，可依照layout大小，自行調整seal ring的長寬。Seal ring sample gds檔案路徑請參考EDA cloud檔案: /cad/PDK/TN90GUTM/PDK_TN90GUTM.list，在virtuoso或laker匯入時，填入檔案路徑即可匯入成layout cell。

•如有TN90GUTM製程技術相關問題，請洽詢製程負責工程師：
林貝儒先生，E-mail : pjlin@narlabs.org.tw ，電話：03-5773693 ext.7190

Return to Outline

TN90GUTM製程注意事項(2/3)

5. DRC相關之說明，請參閱網頁http://www2.tsri.org.tw/~shuttle/drc/。下線時請修正所有不能忽略的DRC錯誤。若無法全數修正或是因佈局設計上考量需違反DRC，請先與工程師討論後，再填寫“晶片製作需違反DRC申請表”，TSRI將詢問原廠是否可忽略；並在“設計內容電子檔”內詳細說明必須違反之DRC項目及原因，並附上佈局截圖等可供參考之資訊。

6. TN90GUTM提供dummy generation utility輔助填補density。density過高或不足可能造成申請案件不被受理。

7. 請注意WPE and LOD effect對元件特性的影響，可參考T-N90-LO-DR-001 Ch8。

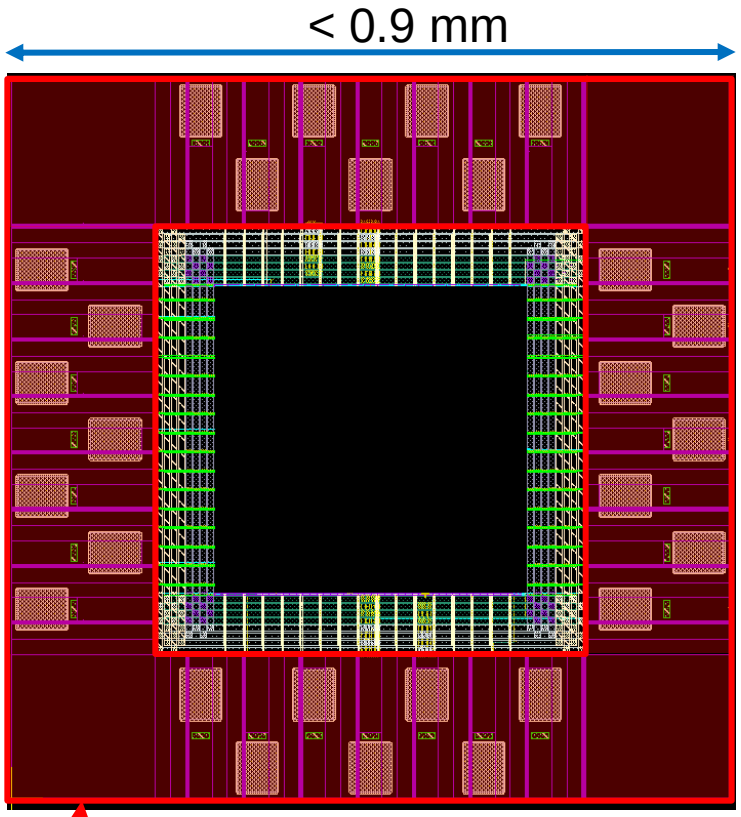
8. 本製程之PAD製作流程採用WB1(參考文件T000CLDR017_1_4.pdf P48)，PAD layout畫法，可參考P56、P57 、P59，或以Virtuoso PDK中cell name: N90CUP_PAD_CB44_RF作為範例來修改。自行繪製的PAD，CB Layer需於M9 Layer內縮1um以上，AP層會由CB層自行定義產生，故AP層不需繪製，且M9與M9 Space 2um以上，以上兩條件未達到，會造成AP 層Short。

9. TSMC的DRC標準以最新版之design rule為準，故TN90GUTM製程以T-N90-LO-DR-001為標準，請驗證 ANTEANA RULE(TSMC policy is DRC clean)。

Return to Outline

TN90GUTM製程注意事項(3/3)

- TN90GUTM教育性晶片IO ring圍繞說明
- TN90GUTM製程教育性晶片，晶片面積小於或等於0.7*0.7(mm^2)，單邊長度不可超過0.7mm；若晶片四邊皆有IO ring圍繞則面積小於或等於0.9*0.9(mm^2)，單邊長度不可超過0.9mm。
- IO ring圍繞說明：請見右圖，使用CBDK(cell-based design kit)的IO PAD圍繞晶片四週圍成為IO ring (四週紅色區域)。IO ring內有Buffer、Driver及ESD等元件。
- 無使用IO PAD完整圍繞晶片四週(如：只使用PAD圍繞晶片四週、或只有晶片其中兩邊/三邊有使用IO PAD），其晶片面積須小於或等於0.7*0.7(mm^2)。



設計時看到的layout
(Replace成真layout前)

IO ring

Return to Outline

TN90GUTM with Cell-Based Flow製程注意事項(1/5)

- TN90GUTM提供為1P9M之銅製程，屬於General Purpose標準製程。因TSMC已將90nm製程大部份文件合併，TN90GUTM注意事項3~7項在TN90GUTM with Cell-Based Flow也必須遵守。

- TN90GUTM製程使用Cell-Based Flow之設計案，如需TSRI進行Replace動作，一律由TSRI代填Dummy Pattern，填補的Dummy Pattern將包含OD/Poly/Metal 1~9 Dummy，以符合OD/Poly/Metal Density Rules。

- TN90GUTM製程使用Mixed-Signal Flow之設計案，其內部Full-Custom Flow區域必須由設計者自行填補Dummy Pattern，並於外框自行加上Layer 150 Datatype 1~9、20、21的Dummy Block Layer，共11層Layer，以避免使用填補程式後，重覆填補Dummy Pattern於Full-Custom Flow區域內而影響電路特性。而Cell-Based Flow區域需Replace者，則一律由TSRI代填OD/Poly/Metal Dummy；不需Replace者則全由設計者自行填補。

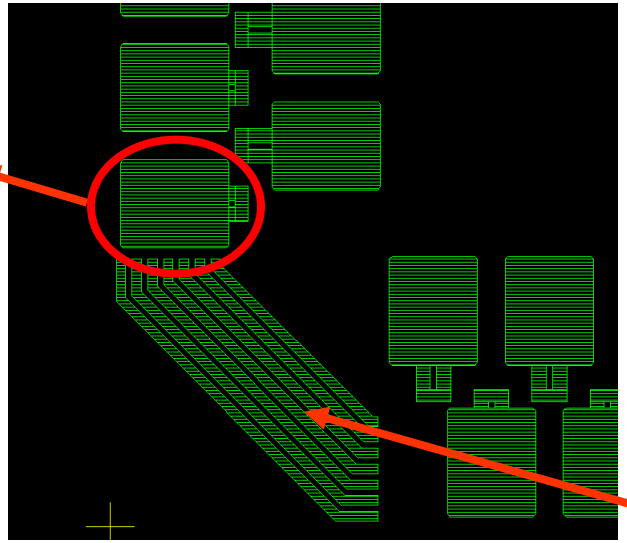
- **此外使用Cell-Based Flow或Mixed-Signal Flow之設計案，必須通過TSRI Queue Server線上DRC驗證，即將core cell、IO cell、memory cell 皆replace為實體layout的全晶片線上DRC驗證後，才可下線。**

Return to Outline

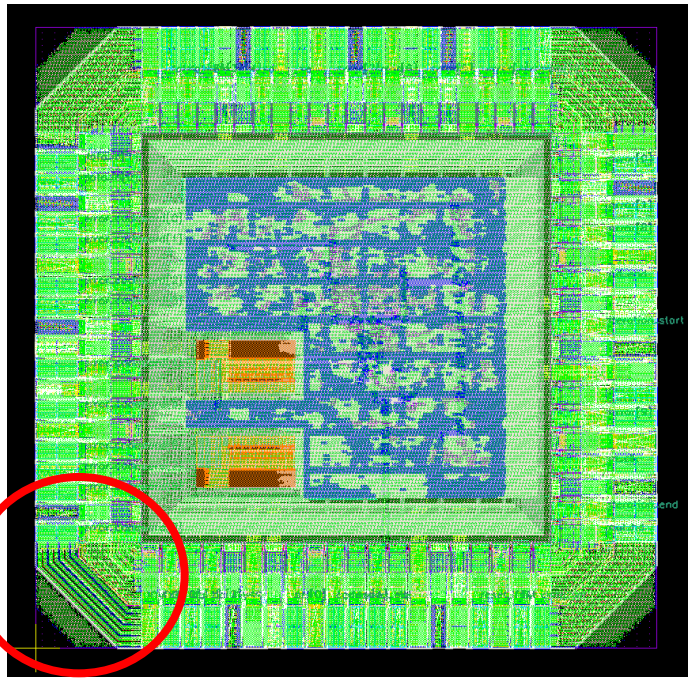
TN90GUTM with Cell-Based Flow製程注意事項(2/5)

- TN90GUTM製程使用Cell-Based Flow或Mixed-Signal Flow之設計案， 打線圖的晶片Layout請使用實體開啟的Layout來標示打線，如此封裝廠商才能依據Layout IO Pad打線頭的實體位置與形狀實施打線作業 。
- 針對Cell-Based Flow或Mixed-Signal Flow之設計案，若在**晶片左下方**的IO Pad有使用90nm Cell-Based Design Kit 1.2 (TSMC/ARM)的IO Pad者，在Queue Server執行DRC驗證時，務必加上 -addTagCell 的參數**使晶片左下角出現TSRI辯識層，以利打線**。

要能看到打線頭的實體形狀



晶片實際下線後，TSRI會在左下角增加一個斜角辯識層，以利打線。



晶片左下方的IO Pad有使用90nm Cell-Based Design Kit 1.2 (TSMC/ARM)者

Return to Outline

TN90GUTM with Cell-Based Flow製程注意事項(3/5)

- 由TN90MSG-100A開始，使用90nm Cell-Based Design Kit 1.2 (TSMC/ARM)，需下載CBDK_TSMC90G_Arm_v1.2.tar.gz，內含新版本ESD I/O PAD，並採用CUP(Circuit Under Pad)的排列方式，所有PAD開窗位置皆在ESD電路上，可大量減少佈局面積。

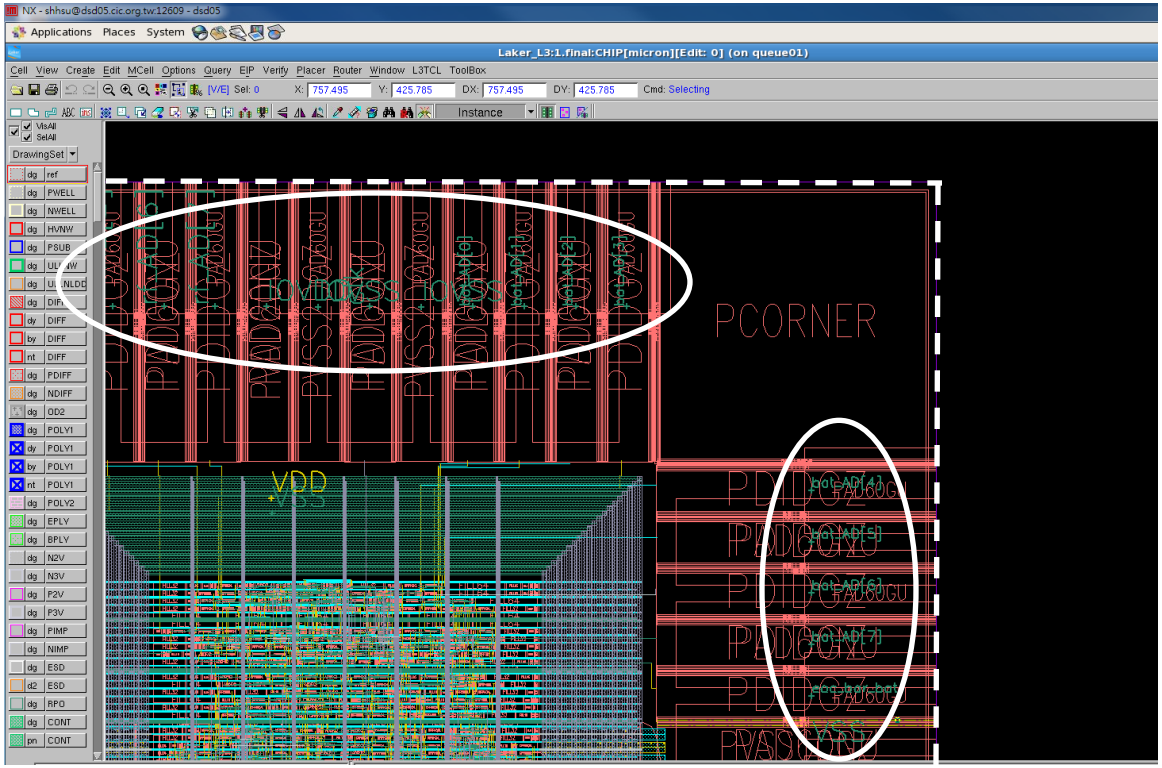
- 新的IO PAD在使用上，每一組power domain只能有唯一的一個PVDD2POC_33電源PAD，此PAD有啟動控制I/O電源功能，否則PAD都無法動作。

- 使用90nm Cell-Based Design Kit 1.2 (TSMC/ARM) Core的Standard Cell Library做APR設計時，請在APR做完之前確認是否已加入Core Filler的Cell，並且要注意Core Filler Cell Name必須和Cell-Based Design Kit裡面的Core Filler Cell Name相同。如果沒有加入或是名稱不同，TSRI將設計Replace為真實Layout後，會導致Standard Cell之間的N-well斷開，而出現無法允許的DRC錯誤。下線前，**必須**利用TSRI Queue Server做線上DRC檢查，以避免此錯誤的發生。

Return to Outline

TN90GUTM with Cell-Based Flow製程注意事項(4/5)

- 使用90nm Cell-Based Design Kit 1.2 (TSMC/ARM) IO Pad的Standard Cell Library做APR設計時，請確認在打線頭標上的Metal Pin Name字體大小不要超過晶片的邊界範圍，以避免晶片面積在計算面積的時候被額外多估。



打線頭標上的Metal Pin Name字體大小不要超過晶片的邊界範圍

Return to Outline

TN90GUTM with Cell-Based Flow製程注意事項(5/5)

- 使用90nm Cell-Based Design Kit 1.2 (TSMC/ARM) IO Pad的Standard Cell Library做APR設計時，若有使用ROM，請確認該ROM的燒錄檔是UNIX或LINUX工作站以vi編輯器編輯產生，以避免replace為真layout時產生問題。
- 用CBDK_TSMC90GUTM_Arm_v1.2 IO Library請確認左下角Corner Cell擺放位向是否為R0。
- CBDK_TSMC90GUTM_Arm_v1.2 相關可容許DRC錯誤, 已附於CBDK_TSMC90GUTM_Arm_v1.2 內的KNWON PROBLEMS AND LIMITATIONS.txt內, 請參考該檔案。

Return to Outline

T18製程注意事項(1/8)

- 請務必確認有無違反 Antenna Rule(TSMC policy is DRC clean)，確認是否會影響其電路效能。
- MOM電容使用請參考技術文件(T18_MOMCAP_register_number.pdf)， MIM電容密度為1.0 fF/μm^2 (無提供2.0fF/um^2)
- T18製程使用Cell-Based Flow之設計案，如需TSRI進行Replace動作，一律由TSRI代填Dummy Pattern。填補的Dummy Pattern將包含OD/Poly/Metal 1~6 Dummy，以符合OD/Poly/Metal Density Rules。(Layer請參考下頁圖示)
- T18製程使用Mixed-Signal Flow之設計案，其內部Full-Custom Flow區域必須由設計者自行填補Dummy Pattern，並於外框自行加上Layer 150 Datatype 1~6、20、21的Block Layer，共8層Layer，以避免使用填補程式後，重覆填補Dummy Pattern於Full-Custom Flow區域內而影響電路特性。而Cell-Based Flow區域需Replace者，則一律由TSRI代填OD/Poly/Metal Dummy；不需Replace者則全由設計者自行填補。(Layer請參考下頁圖示)

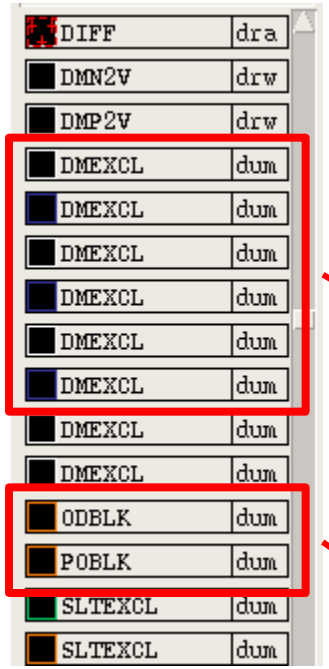
此外使用Cell-Based Flow或Mixed-Signal Flow之設計案，必須通過TSRI Queue Server線上DRC驗證，即將core cell、IO cell、memory cell 皆replace為實體layout的全晶片線上DRC驗證後，才可下線。

•如有TSMC 0.18μm CMOS 製程技術相關問題，請洽詢製程負責工程師:
林貝儒先生 ，E-mail : pjlin@narlabs.org.tw ，電話：03-5773693 ext.7190

Return to Outline

T18製程注意事項(2/8)

◆ 設計者不填補區域，需自行框選識別Layer層， Layer 150 Datatype 1~6、20、21的Block Layer，共8層Layer 。



T18(Virtuoso)	T18(Laker)	GDS No.	DataType
DMEXCL(dum)	DMEXCL(d1)	150	1
DMEXCL(dum)	DMEXCL(d2)	150	2
DMEXCL(dum)	DMEXCL(d3)	150	3
DMEXCL(dum)	DMEXCL(d4)	150	4
DMEXCL(dum)	DMEXCL(d5)	150	5
DMEXCL(dum)	DMEXCL(d6)	150	6
ODBLK(dum)	ODBLK	150	20
POBLK(dum)	POBLK	150	21

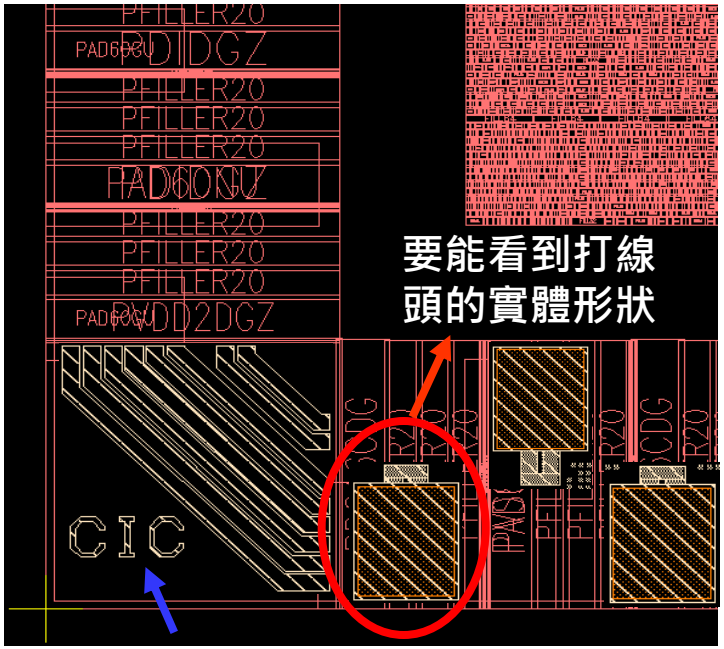
Return to Outline

T18製程注意事項(3/8)

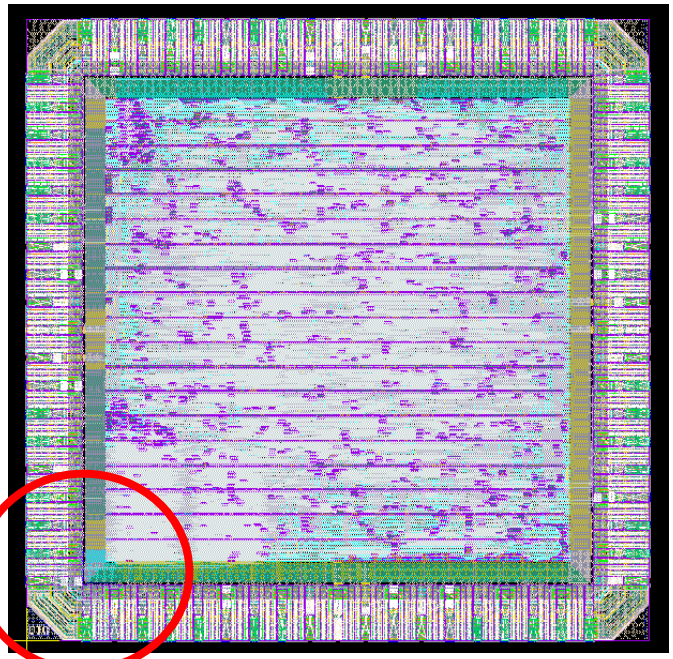
- T18製程使用Cell-Based Flow或Mixed-Signal Flow之設計案， 打線圖的Layout請使用Cadence Virtuoso或Synopsys Laker等Layout Editor開啟的Layout來標示打線，勿以Cadence Innovus或Synopsys IC Compiler等APR Tool開啟的Layout，**如此封裝廠商才能依據Layout IO Pad打線頭的實體位置與形狀實施打線作業**。 (打線頭的實體形狀請見下頁圖)
- 針對Cell-Based Flow或Mixed-Signal Flow之設計案，若在**晶片左下方**的IO Pad有使用0.18um Cell-Based Design Kit 4.0 (TSMC/ARM)的IO Pad者，在Queue Server執行DRC驗證時，務必加上 -addTagCell 的參數**使晶片左下角出現CIC辯識層，以利打線**。(CIC辯識層的形狀請見下頁圖)
- 由T18-102A開始，使用0.18um Cell-Based Design Kit 4.0 (TSMC/ARM)，需下載CBDK_TSMC018_Arm_v4.0.tgz，內含新版本ESD I/O PAD，並採用CUP(Circuit Under Pad)的排列方式，所有PAD開窗位置皆在ESD電路上，可大量減少佈局面積。
- 新的IO PAD在使用上，每一組power domain只能有唯一的一個PVDD2POC電源PAD，此PAD有啟動控制I/O電源功能，否則PAD都無法動作。

Return to Outline

T18製程注意事項(4/8)



晶片實際下線後，左下角將出現CIC辯識層，以利打線。

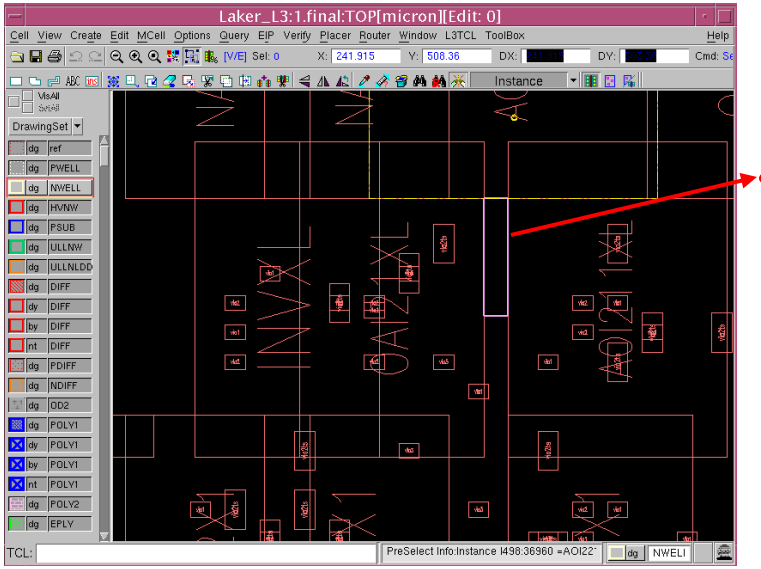


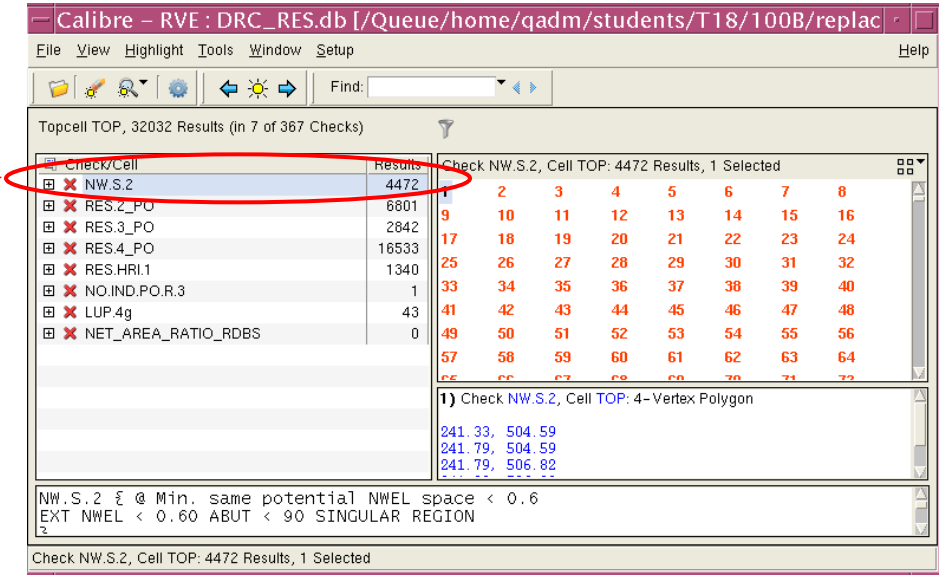
晶片左下方的IO Pad有使用0.18um Cell-Based Design Kit 4.0 (TSMC/ARM) IO Pad者

Return to Outline

T18製程注意事項(5/8)

- 使用0.18um Cell-Based Design Kit 4.0 (TSMC/ARM) Core的Standard Cell Library做APR設計時，請在APR做完之前確認是否已加入Core Filler的Cell，並且要注意Core Filler Cell Name必須和Cell-Based Design Kit裡面的Core Filler Cell Name相同。如果沒有加入或是名稱不同，TSRI將設計Replace為真實Layout後，會導致Standard Cell之間的N-well斷開，而出現無法允許的DRC錯誤。下線前，**必須**利用TSRI Queue Server做線上DRC檢查，以避免此錯誤的發生。



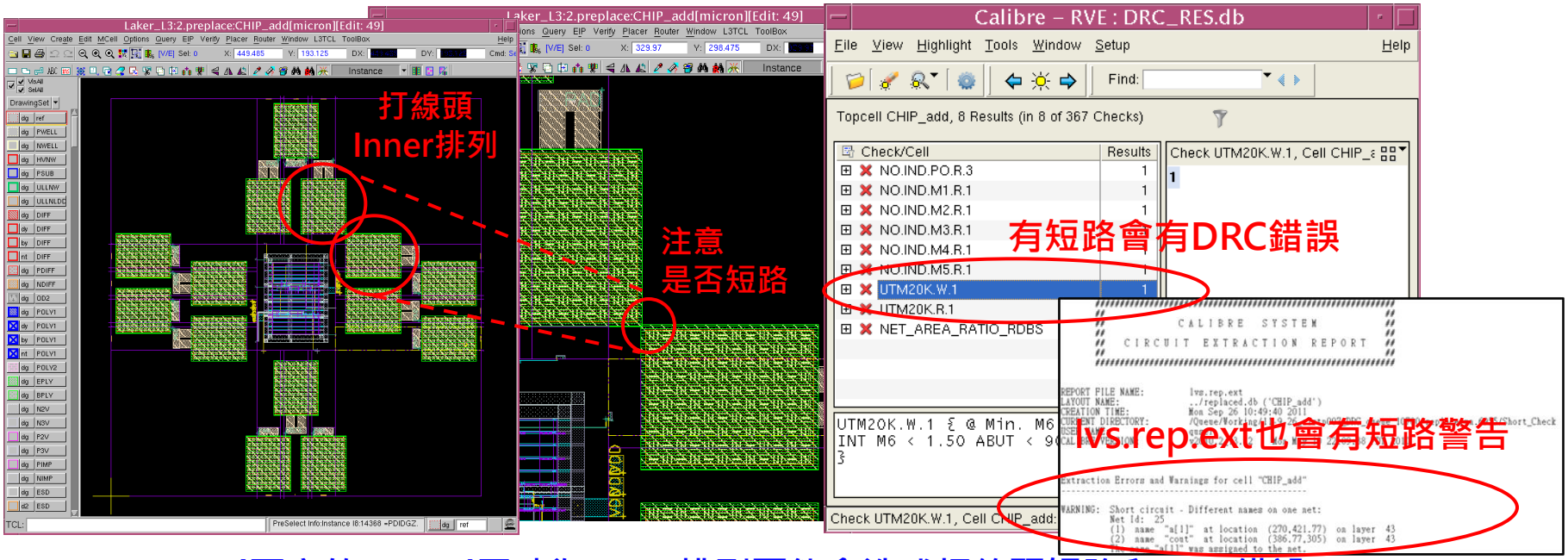


APR沒有加上正確的Core Filler會導致Cell之間N-well斷開而出現無法允許的DRC錯誤。

Return to Outline

T18製程注意事項(6/8)

- 使用0.18um Cell-Based Design Kit 4.0 (TSMC/ARM) IO Pad的Standard Cell Library做APR設計時，請在APR完做DRC驗證時確認位於Corner Pad兩旁的打線頭是否同時為Inner排列。如果是Inner排列必須確認打線頭是否接觸造成短路。如果短路會出現無法允許的DRC錯誤，將不予下線。下線之前，**必須**用TSRI Queue Server做線上DRC檢查，以避免此錯誤的發生。短路的錯誤也可以在DRC結果資料夾的lvs.rep.ext檔案發現短路警告訊息。

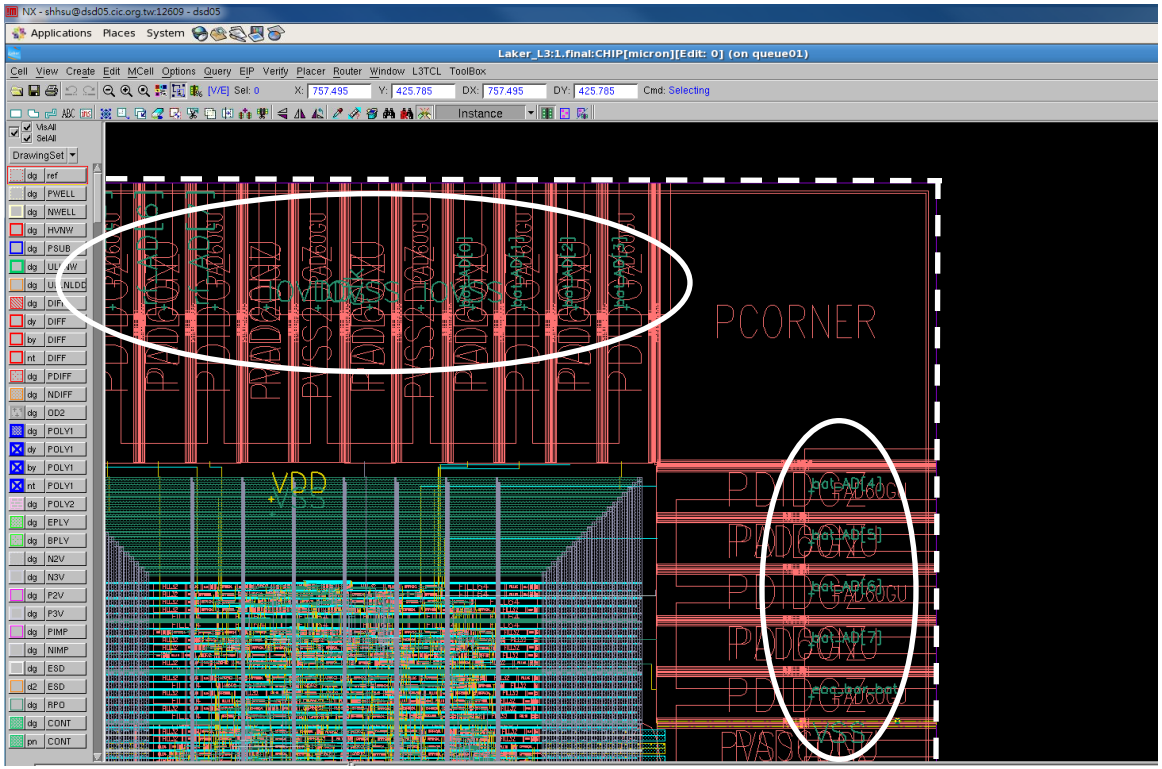


Corner Pad兩旁的IO Pad同時為Inner排列可能會造成打線頭短路和DRC錯誤。

Return to Outline

T18製程注意事項(7/8)

- 使用0.18um Cell-Based Design Kit 4.0 (TSMC/ARM) IO Pad的Standard Cell Library做APR設計時，請確認在打線頭標上的Metal Pin Name字體大小不要超過晶片的邊界範圍，以避免晶片面積在計算面積的時候被額外多估。



打線頭標上的Metal Pin Name字體大小不要超過晶片的邊界範圍

Return to Outline

T18製程注意事項(8/8)

- 使用0.18um Cell-Based Design Kit 4.0 (TSMC/ARM) IO Pad的Standard Cell Library做APR設計時，若有使用ROM，請確認該ROM的燒錄檔是UNIX或LINUX工作站以vi編輯器編輯產生，以避免replace為真layout時產生問題。

Return to Outline

SiGe18製程注意事項

- SiGe18是以3P6M之鋁製程為主，專屬為Mixed-Signal BiCMOS製程。
- 在DRC驗證流程中，請必須確實執行以下驗證指令檔： (檔案版本僅以TSRI EDA-Cloud所提供為準)
  1. SiGe18_DRC.rule -- DRC deck for the main DRC rules
  2. SiGe18_IMD.rule -- DRC deck for VIA array IMD crack rules
  3. SiGe18_ANTENNA.rule -- DRC deck for antenna rules
- 由於TSRI只有接受Flat模式的驗証結果，故於上傳佈局檔前請以Flat模式進行最後驗証!
- 如同其它TSMC系列製程，SiGe18 DRC驗證結果須符合Density Rules (POLY, M1~M6)，設計者可善加利用Dummy Pattern Generation Utility以輔助填補程序。
- 將填補之Dummy Cell置於Chip內部，應減少擺放至電路外側，以免造成多餘面積浪費。
- 本製程之PAD實現結構與Layout畫法，可參考技術文件“T000CLDR002”。
- 當遇到不明之DRC Errors之時，一定要提出與工程師討論，請勿擅自合理化。
- 應避免使用INDDUMMY, EXCL等性質圖層框圍Whole Chip，此舉將會省略Density Rules Check。
- 如需在晶片中利用金屬層註記(寫字)時請同樣須遵守Design Rules。
- TSRI所提供之SiGe18製程下線服務中，並無提供Cell-based Design Kit (Includes Standard Cell and I/O Cell Library)。

• 如有SiGe18製程技術相關問題，請洽詢製程負責工程師:
陳益誠先生 ，E-mail : ycchen@narlabs.org.tw ，電話：03-5773693 ext.7201

Return to Outline

D35製程注意事項(1/3)

- 請在下線前詳細檢查是否有使用跟TSMC I/O Library相同的Cells，不可違反的Cell Name列表請參考Design Rule文件(T035MMDR001)Page1~2。
- 使用PAD請確認是STC I/O PAD(申請表不需勾選)，使用TSMC I/O PAD(申請表請勾選)。
- TSMC 0.35 UM Mixed-Signal 2P4M Polycide 3.3/5V製程，PDK只提供CDBA版本，OA版本已透過CDBA轉換至OA方式，提供使用，學生可透過OA檔案於IC 6使用。
- 請務必確認有無違反 Antenna Rule(TSMC policy is DRC clean)，確認是否會影響其電路效能。

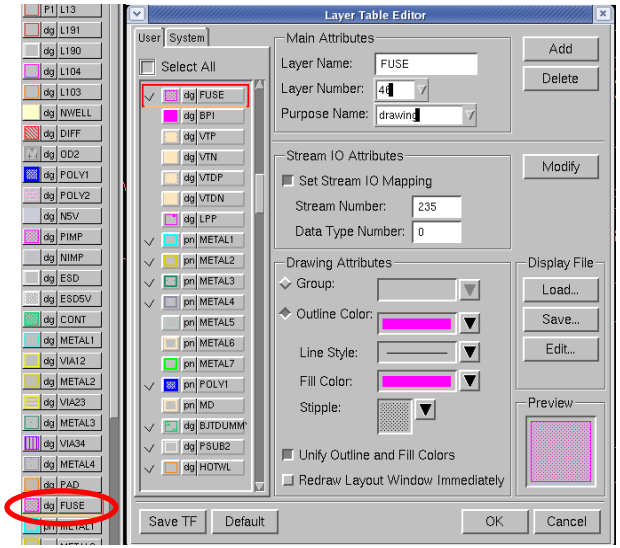
•如有TSMC 0.35μm CMOS 製程技術相關問題請洽詢製程負責工程師:
林貝儒先生 ，E-mail : pjlin@narlabs.org.tw ，電話：03-5773693 ext.7190

Return to Outline

D35製程注意事項(2/3)

- 使用Cell-Based Flow之設計案，如需TSRI進行Replace動作，一律由TSRI代填Dummy Pattern，填補的Dummy Pattern將包含Poly/Metal 1~4 Dummy，以符合Poly/Metal Density Rules。

- 使用Mixed-Signal Flow之設計案，其內部Full-Custom Flow區域必須由設計者自行填補Dummy Pattern，並於外框自行加上使用FUSE[FW(235)]層框選不填補區域，以避免使用填補程式後，重覆填補Dummy Pattern於Full-Custom Flow區域內而影響電路特性。而Cell-Based Flow區域需Replace者，則一律由TSRI代填Poly/Metal Dummy；不需Replace者則全由設計者自行填補。



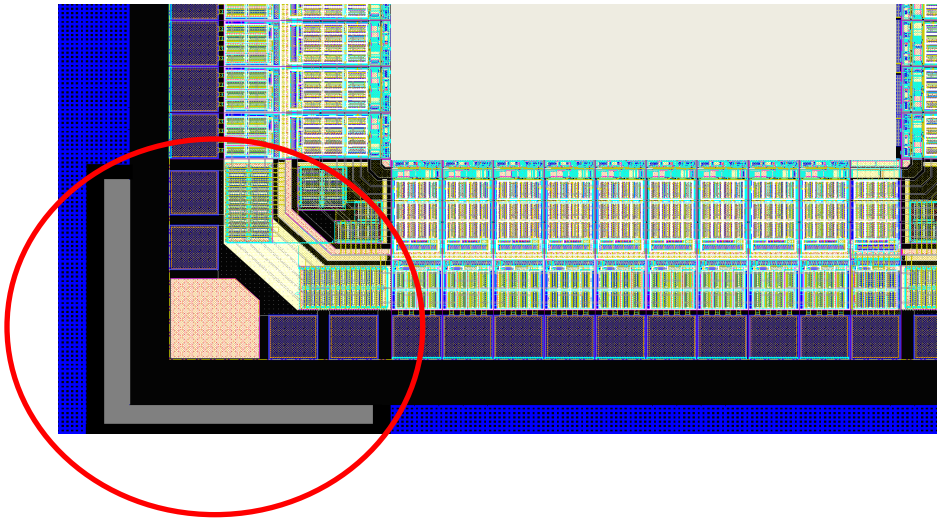
- 使用Cell-Based Flow或Mixed-Signal Flow之設計案，且由TSRI代填Dummy Pattern者，若有使用STC IO PAD，請在IO PAD上框上FUSE[FW(235)]層，STC IO PAD為不填補dummy pattern之區域，請使用者特別注意!!

Return to Outline

D35製程注意事項(3/3)

- 打線圖的晶片Layout，請使用Cadence Virtuoso或Synopsys Laker等Layout Editor開啟的Layout來標示打線，勿以Cadence Innovus或Synopsys IC Compiler等APR Tool開啟的Layout。

- 使用Cell-Based Flow之設計案，有打線需求之申請案請注意，TSRI會在佈局外左下角處，用Metal4畫上”L”形pattern，以便封裝廠辨識晶片方向，因此請確保上傳gds檔及打線圖的佈局為同一方向，以免打線發生錯誤。



Return to Outline

0.35μm Multi-Option MEMS製程注意事項(1/2)

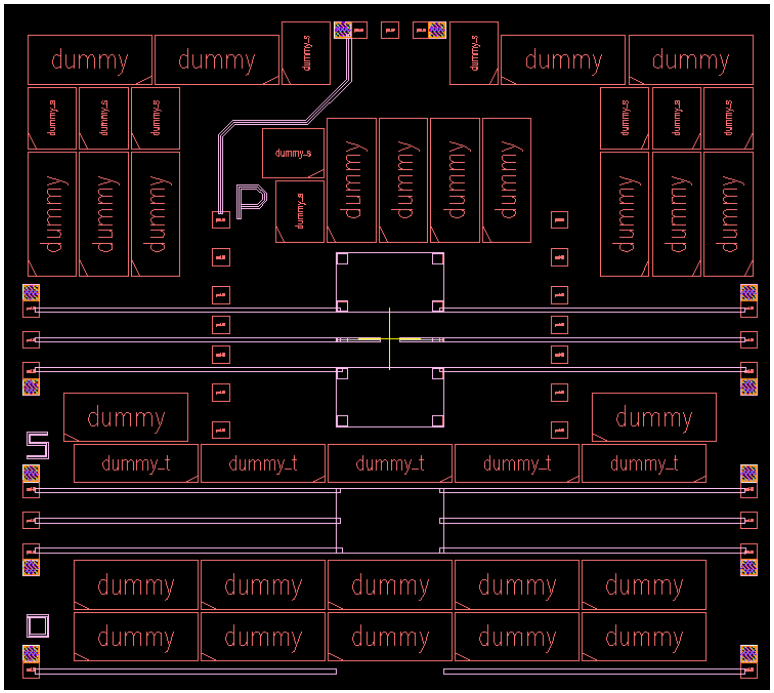
- 白金層定義層別為Layer 192，以lift-off方式進行，設計規範可參考「TSRI-CIS-2019-AP002_P_v4.0: 0.35μm多選項微機電製程」說明文件，惟受限於製程因素，白金層僅能定義於top metal(Metal4)與passivation layer上，不開放沉積於其他層別。
- 0.35 μm Multi-Option MEMS製程可分別使用RLS layer與RLSSI layer分別定義蝕刻oxide與silicon區域，其蝕刻能力可參考「0.35μm多選項微機電製程」使用者手冊上的Etching Profile項次說明，蝕刻能力在不同梯次間的有些微差異，手冊中有更新說明不同梯次間的蝕刻紀錄與說明。金層與白金層亦可依設計需求分別選擇性的使用，在此項製程上有較多設計彈性可供選擇。
- 金層厚度3000Å，白金層厚度1500Å，設計金層與白金層時因製程能力限制，其最小線寬為5μm，最小間距為10μm，其餘相關規範請自行參考「0.35μm多選項微機電製程」使用者手冊。
- 請在下線前詳細檢查是否有使用跟TSMC I/O Library相同的Cells，不可違反使用的Cell Name列表請參考Design Rule文件(T035MMDR001)Page1~2。
- 此製程(MOMEMS35)與D35製程使用同一平台上建構，本製程所提供之technology file及DRC rules除了包含MEMS設計所需求之資訊，亦包含D35製程之相關圖層及DRC規範。**2023年10月更新提供Virtuoso OA版本製程資料。MOMEMS OA版本製程相關檔案，可使用CMOS PDK library完成CMOS電路及MEMS結構的整體設計，故亦須遵守D35 CMOS製程注意事項。**
- 此製程之晶圓厚度為21mil。

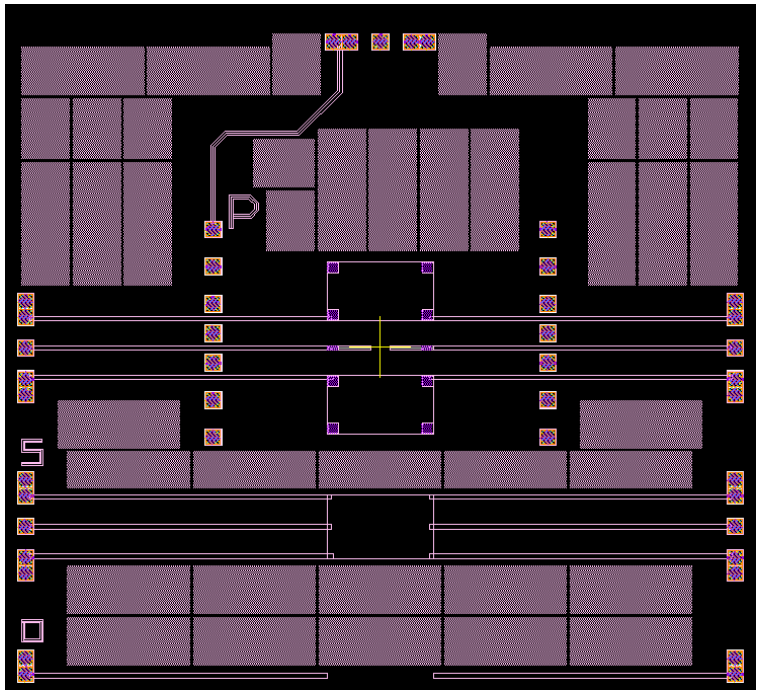
•如有0.35μm Multi-Option MEMS製程技術相關問題，請洽詢製程負責工程師:
林玟淨小姐，E-mail : jeanlin@narlabs.org.tw ，電話：03-5773693 ext.7153

Return to Outline

0.35μm Multi-Option MEMS製程注意事項(2/2)

- 因MEMS結構設計常有金屬層使用密度不足等的DRC違反，由於考量使用者需求，通常此類的DRC違反在設計者與工程師確認過後，會請設計者於下線報告內填寫違反說明並接受違反，但請各位設計者於不影響結構設計範圍內，於空白區域盡量填補dummy pattern，盡量避免某些金屬層出現完全沒有使用到的狀況，會造成併版後整體使用密度不足，最終導致後續作業困難甚至退件狀況。可參考下圖，於下線空白區域盡量做好dummy的填補。





•如有0.35μm Multi-Option MEMS製程技術相關問題，請洽詢製程負責工程師:
江美嫻小姐，E-mail : mhchiang@narlabs.org.tw ，電話：03-5773693 ext.7170

Return to Outline

P15製程注意事項(1/2)

- P15製程前瞻性晶片面積限制如下： (共計12種，其餘面積大小概不受理!)
  1mm*1mm / 1mm*2mm / 1.5mm*1mm / 1.5mm*2mm / 2mm*1mm
  2mm*2mm / 2.5mm*1mm / 2.5mm*2mm / 3mm*1mm / 3mm*2mm
  3mm*3mm / 3mm*4mm

- 當佈局時，請務必將Chip Street加入佈局中(WIN Standard Cell Library有提供；意謂可佈局區域範圍為Chip Street內部)，目的為用以保留晶片切割道，其左下角需對準原點(0,0)且晶片整體佈局應座落在第一象限，同時必須符合上述之固定晶片面積。

- 若有使用含Gate元件，因晶圓廠製程之Wafer有晶格方向性要求，所以請勿將含Gate元件佈局呈現90°或270°垂直旋轉。

- 為確保佈局圖檔(GDS File)轉換輸出之正確性，建議佈局設計軟體儘可能利用Cadence Virtuoso Layout Editor(IC6.1 Up)來進行電路佈局繪製。

- 由於P15製程PDK主要提供ADS與MWO電路設計驗證平台，於晶片佈局時雖可使用軟體內建功能進行簡易式DRC驗證，但是此方式並非包含完整的規則檢驗，僅能檢查部分的佈局規則，因此務必於下線申請前須跑過Cadence Assura DRC驗證程序(建議相關參數設定請參閱“Assura_Setting_20180321.pdf”)，TSRI將只接受Assura DRC驗證結果(其SwitchNames執行項目請選擇“PP152X_2umMET2”即可)。

·如有P15製程技術相關問題，請洽詢製程負責工程師:
陳益誠先生 ，E-mail : ycchen@narlabs.org.tw ，電話：03-5773693 ext.7201

Return to Outline

P15製程注意事項(2/2)

- 從P15-111A下線梯次開始，使用者以往所套用的佈局切割道(Frame)寬度將由“70um”改為“40um”(可使用元件名稱為“PP1522_Frame”或“SCRIBE”進行寬長度設定)，以符合P15佈局驗證規範。

- WIN晶圓廠將於2018年開始不再針對所屬製程之Diva DRC Rule File進行維護及更新，已逐漸要求使用者將電路佈局驗證平台轉至Cadence Assura DRC/LVS (i.e. Golden Rules)，該軟體除了能有效檢查完整的佈局規則，更能減少下線申請後因WIN技術端進一步檢驗而需往返修改佈局的機率，以增進整體WIN相關製程(P15/GaN12)下線效率。

- 為確保Devices Model之電性、準確度以及Pattern製作完整性，於佈局設計時，請直接套用PDK Library of P-Cell且極不建議將其Flatten! 另外，針對電感或電容元件使用部分，請謹慎設定一參數(Airbridge Width)，即該有效範圍為“10um ~ 20um”，以避免元件佈局設置錯誤而產生11-5a/b相關DRC Errors。

Return to Outline

GaN12製程注意事項

- GaN12製程前瞻性晶片面積限制如下： (共計12種，其餘面積大小概不受理!)
  1mm*1mm / 1mm*2mm / 1.5mm*1mm / 1.5mm*2mm / 2mm*1mm
  2mm*2mm / 2.5mm*1mm / 2.5mm*2mm / 3mm*1mm / 3mm*2mm
  3mm*3mm / 3mm*4mm
- 當佈局時，請務必將Chip Street加入佈局中(WIN Standard Cell Library有提供；意謂可佈局區域範圍為Chip Street內部)，目的為用以保留晶片切割道，其左下角需對準原點(0,0)且晶片整體佈局應座落在第一象限，同時必須符合上述之固定晶片面積。
- 若有使用含Gate元件，因晶圓廠製程之Wafer有晶格方向性要求，所以請勿將含Gate元件佈局呈現90°或270°垂直旋轉。
- 為確保佈局圖檔(GDS File)轉換輸出之正確性，建議佈局設計軟體儘可能利用Cadence Virtuoso Layout Editor(IC6.1 Up)來進行電路佈局繪製。
- 由於GaN12製程PDK主要提供ADS與MWO電路設計驗證平台，於晶片佈局時雖可使用軟體內建功能進行簡易式DRC驗證，但是此方式並非包含完整的規則檢驗，僅能檢查部分的佈局規則，因此務必於下線申請前須跑過Cadence Assura DRC驗證程序(建議相關參數設定請參閱“Assura_Setting_20180321.pdf”)，TSRI將只接受Assura DRC之驗證結果。
- Transmission Line佈局架構建立時，建議需包含Met1、Met2以及Via2三個圖層。
- 如需在晶片中利用金屬層註記(刻字)時僅能使用Met1圖層，其餘圖層皆不允許。

·如有GaN12製程技術相關問題，請洽詢製程負責工程師:

陳益誠先生 ，E-mail : ycchen@narlabs.org.tw ，電話：03-5773693 ext.7201

Return to Outline

U18製程注意事項(1/5)

- 由於 “UMC 0.18 um Mixed-Mode and RFCMOS 1.8V/3.3V 1P6M Metal Metal Capacitor Process” 之DRC技術檔案，包含許多特定項目的驗證，以下就檔案個別屬性作簡短解釋與說明：(檔案版本僅以TSRI網頁上所提供為主)

1.BaseRule(520/579)：G-DF-Mixed_Mode_RFCMOS18-1.8v_3.3v-1P6M-MMC-Calibre-DRC-2.16_P1.drc
此檔案為DRC主要驗證檔，請於下線前務必通過佈局規範檢驗。
原舊的DRC會include其它檔案，此版本已整合。

2.ANTENNA(39/139)：G-DF-GENERATION18-14_LG_MM18_1P6M1T-ANTENNA_CALIBRE_DRC-1.0_P2.drc
此檔案為Antenna Rule Checking所用。

3.DIFF(1/1)：G-DF-GENERATION15_ABOVE-DIFFUSION_DUMMY-Calibre-DRC-2.1-P1.drc
此檔案的驗證條件為其佈局設計裡有規劃及繪製Dummy Diffusion之時。

4.ESD(48/60)：G-DF-GENERATION18-1P6M-ESD-CALIBRE-DRC-2.3_P2.drc
此檔案的驗證條件為其佈局設計裡有涉及相關ESD電路規劃和繪製之時。

5.Latchup(17/17)：G-DF-GENERATION18-LATCH_UP-1P6M-CALIBRE-DRC-2.0_P1.drc
此檔案的驗證條件為其佈局設計裡有違反Latch-Up電性規範之時。

•如有UMC 0.18μm CMOS 製程技術相關問題，請洽詢製程負責工程師:
林貝儒先生 ，E-mail：pjlin@narlabs.org.tw ，電話：03-5773693 ext.7190

Return to Outline

U18製程注意事項(2/5)

6.Metal(12/12)：G-DF-GENERATION15_ABOVE-1P6M-METAL_DUMMY_SLOT-CALIBRE-DRC-2.1_P1.drc

此檔案的驗證條件為其佈局設計裡有規劃及繪製Dummy Metal, Metal Slot之時。

7.OPC(10/10)：G-DF-GENERATION18-OPC_BLOCK-BOUNDARY-CALIBRE-DRC-2.0-P1.drc

此檔案的驗證條件為其佈局設計裡有規劃及繪製OPC_BLOCK之時，能在IC設計時，先找出製程變異所導致的微影錯誤或誤差。

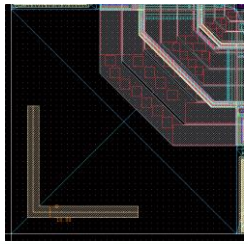
8.PAD(77/86)：G-DF-GENERATION15_ABOVE-PAD-1P6M-CALIBRE-DRC-2.1_P3.drc

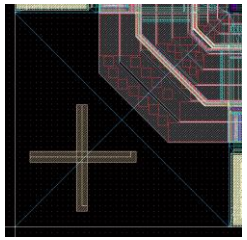
此檔案的驗證條件為其佈局設計裡有涉及規劃與繪製相關Bonding Pad之時。

9.POLY(1/1)：G-DF-GENERATION15_ABOVE-POLY1_DUMMY-CALIBRE-DRC-2.2_P1.drc

此檔案的驗證條件為其佈局設計裡有規劃及繪製Dummy Poly之時。

- TSRI會使用以上九種驗證檔進行驗證，請設計者確實執行全部DRC驗證檔(項目1~9)並修正相關DRC錯誤，報告中需附上相關驗證結，並逐一描述，以增加晶片良率並，確保晶片能正常動作。可參考http://www2.TSRI.org.tw/~shuttle/drc/all/U18.pdf U18可允許DRC錯誤列表，請勿自行合理化DRC錯誤，如有問題請與製程工程師討論。
- 有打線需求請注意，如果佈局為”對稱性”，不易辯別腳位方向，請於晶片佈局內，左下角Corner處利用Top Metal圖層畫上Mark Pattern(建議樣式為線寬10um之”十”or “L”字)，以便封裝廠辨識晶片方向，正確找到實際腳位。

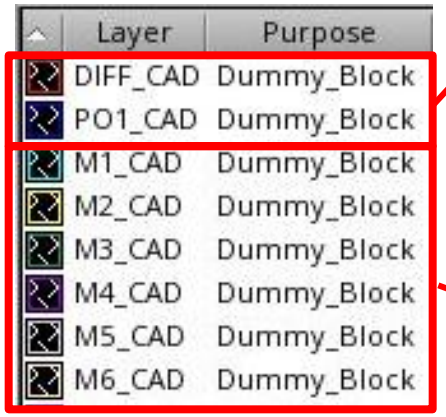




Return to Outline

U18製程注意事項(3/5)

- 由於UMC製程之Dummy Cell填補方式與其它Foundry不同，設計者除自行填補於晶片中。後端晶圓廠將會於Full Wafer上全部填滿包含Diff、Poly、M1~M6等Layer，MEMS案件則多M7。
- 設計者不填補區域，需自行框選上識別Layer層，包含(DIFF、POLY、M1~M6之DMBK)，MEMS案件則多M7 DMBK。



U18(Virtuoso)	U18(Laker)	GDS No.	DataType
DIFF_CAD(Dummy_Block)	DIFDMBK(d1)	70	1
PO1_CAD(Dummy_Block)	PLYDMBK(d1)	71	1
M1_CAD(Dummy_Block)	M1DMBK(d1)	72	1
M2_CAD(Dummy_Block)	M2DMBK(d1)	73	1
M3_CAD(Dummy_Block)	M3DMBK(d1)	74	1
M4_CAD(Dummy_Block)	M4DMBK(d1)	75	1
M5_CAD(Dummy_Block)	M5DMBK(d1)	76	1
M6_CAD(Dummy_Block)	M6DMBK(d1)	77	1
M7_CAD(Dummy_Block)	M7DMBK(d1)	78	1

Return to Outline

U18製程注意事項(4/5)

- Full-Custom設計者，請自行利用OD、Poly、Metal Dummy層，自行填補Dummy Cell，且需符合整個晶片30%之Density Rule，當符合Density Rule時，則不填補區域建議框選整個晶片，包含DIFF、POLY、M1~M6之DMBK等Layer，以避免UMC後端進行填補作業時，額外於晶片中增加Dummy Cell，而影響晶片效能。如未於晶片上框選不填補區域，而影響晶片效能，設計者需自行負責。

MEMS案件

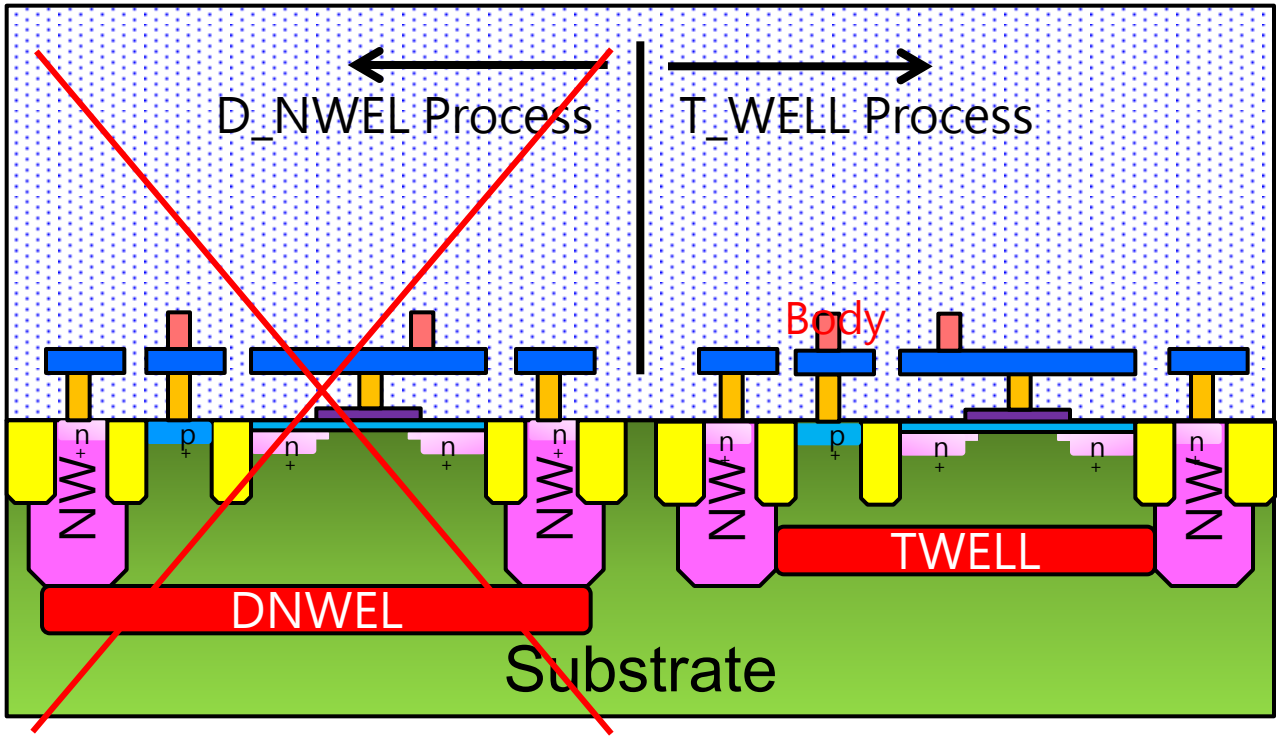
- MEMS設計者，因後製程關係，會增加Metal 7 Layer層，請於下線晶片上多框選M7 DMBK於整個晶片，以確保不會填補Metal 7之Dummy Cell。
- MEMS的DRC驗證檔為” G-DF-Mixed_Mode_RFCMOS18-1.8v_3.3v-1P6M-MMC-MEMS-Calibre-DRC-2.16_P1_80” ，此驗證檔主要還是針對MEMS的結構部份作確認，設計者若有放入CMOS電路，仍必須驗證UMC 0.18 um Mixed-Mode and RFCMOS 1.8V/3.3V 1P6M Metal Metal Capacitor Process” 之**9個**DRC技術檔案。

•如有UMC 0.18μm CMOS MEMS製程技術相關問題，請洽詢製程負責工程師:
王怡仁先生 ，E-mail : nick.wang@narlabs.org.tw，電話：03-5773693 ext.7247

Return to Outline

U18製程注意事項(5/5)

- U18此製程無DNW Layer，如欲將NMOS之Body端接至其它電位，請在設計時選擇1.8V/3.3V Mixed Mode NMOS devices in T-Well (N_BPW_18_MM / N_BPW_33_MM)元件。
  佈局時請將T_WELL延伸，並打上M1_PDIFF的Contact， 此T_WELL則是其Body端電位。



Return to Outline

U18 with Cell-Based Flow製程注意事項(1/2)

- Cell-Based Flow之設計案，一律由UMC代填Dummy Pattern，填補的Dummy Pattern將包含Diffusion/Poly/Metal 1~6 Dummy，以符合Diffusion/Poly/Metal Density Rules。

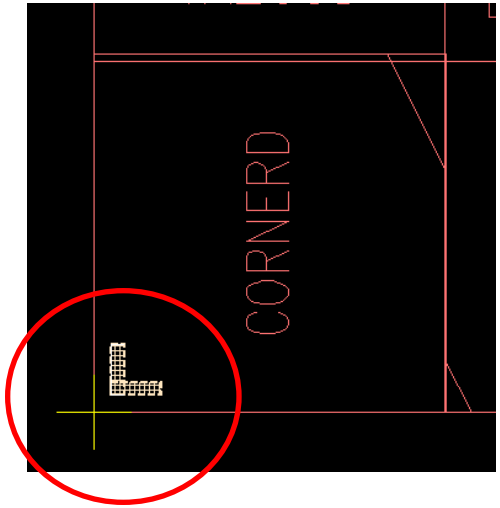
- 重覆填補Mixed-Signal Flow之設計案，其內部Full-Custom Flow區域必須由設計者自行填補Dummy Pattern，並於外框自行加上GDS No 70~77 Data Type 1的Dummy Block Layer，共8層，以避免Dummy Pattern於Full-Custom Flow區域內而影響電路特性。而Cell-Based Flow區域，則一律由UMC代填Diffusion/Poly/Metal Dummy。

- 以上填補Dummy Pattern 文件可參考TSRI Document : G-06-MIXED_MODE_RFCMOS 18-1.8V_3.3V-1P6M-MMC-MASKTOOL-8C-Ver.2.8_P1.pdf 。**此外使用Cell-Based Flow或Mixed-Signal Flow之設計案，必須通過TSRI Queue Server線上DRC驗證，即將core cell、IO cell、memory cell 皆replace為實體layout的全晶片線上DRC驗證後，才可下線。**

Return to Outline

U18 with Cell-Based Flow製程注意事項(2/2)

- 針對Cell-Based Flow或Mixed-Signal Flow之設計案，若使用UMC/Faraday的IO Pad者，在Queue Server執行DRC驗證時，務必加上 -addTagCell 的參數使晶片左下角出現”L”形pattern，以便封裝廠辨識晶片方向。



Return to Outline

IMEC-SiPh(iSiPP50G)製程注意事項(1/2)

- 下線允許設計使用面積包含2.5x2.5mm^{2}以下、 2.5x2.5mm^2 、 2.5x5.15mm^2，請擇一做設計使用，其他面積需求請聯繫業務負責工程師。
- 設計接需為DRC clean，相關DRC問題請參考imec Layout Handbook。
- 若使用IMEC PDK中元件，且未修改過該元件內容(圖層和名稱等)，可忽略該元件產生之DRC錯誤。
- 若有使用IMEC PDK元件，並且更動其設計，務必修正所有該元件錯誤且同時更改元件名稱。
- 除了2.5x2.5mm^{2}以下面積使用外，其它設計時請依照設計使用面積，使用IMEC PDK中對應TEMPLATE放置設計。

- 如有IMEC-SiPh(iSiPP50G)製程技術相關問題，請洽詢製程負責工程師:

林銘偉先生，E-mail : mwlin@narlabs.org.tw ，電話：03-5773693 ext.7273

Return to Outline

IMEC-SiPh(iSiPP50G)製程注意事項(2/2)

- 若設計中有EAM調製器的製作，搭配的Photodetector只能為SiGe Photodetector，若為其它種類的調製器設計，搭配的Photodetector則為Ge Photodetector。且上述兩種製程無法混用在同一晶片上。
- IMEC-SiPh製程使用設計案，dummy的填補與驗證皆由IMEC執行，但使用者方面需在所有不需要填補dummy的區域畫有NOFILL圖層，在接下來IMEC自動填補dummy的過程中就不會填在波導與金屬電極等真正是元件的區域。
- 使用邊緣耦光設計中，光進和光出裝置(edge coupler)需為放置於TEMPLATE邊緣深藍區，並對齊，詳細說明請參照iSiPP50G製程Library Handbook 。
- 所有設計均需符合最新版IMEC PDK製程要求。

Return to Outline

IMEC-SiPh(Passives+)製程注意事項

- 下線允許設計使用面積包含5.15x2.5mm^{2}以下、 5.15x2.5mm^2、5.15x5.15mm^2，請擇一做設計使用，其他面積需求請聯繫業務負責工程師。
- 若有使用IMEC PDK元件，並且更動其設計，務必修正所有該元件錯誤且同時更改元件名稱。
- 若使用IMEC PDK中元件，且未修改過該元件內容(圖層和名稱等)，可忽略該元件產生之DRC錯誤。
- 所有設計均需符合最新版IMEC PDK製程要求。

- 如有IMEC-SiPh(Passives+)製程技術相關問題，請洽詢製程負責工程師:

林銘偉先生，E-mail : mwlin@narlabs.org.tw ，電話：03-5773693 ext.7273

Return to Outline

T18HVG2製程注意事項(1/5)

◆ 製程簡介

- Technology: TSMC 0.18um CMOS High Voltage Mixed Signal Based Generation II BCD 1P6M Salicide Al FSG 1.8/5/6/7/8/12/16/20/24/29/36/45/55/65/70V/VG1.8/5V
- 設計環境選定如下：
  1) Metallization: 1P6M, with metal 6 of 30 kÅ
  2) MIM capacitor: between M5/M6(UTM), with 1 fF/um2 capacitance
  3) HRI resistor: 3 kΩ/sq resistance
- 各元件耐壓範圍請參考T18HVG2 design rule “T018CVDR027” sec. 3.5 Device List and Spec

◆ Model file使用相關注意事項

- T18HVG2相關檔案皆置在EDA Cloud中的/cad/PDK/T18HVG2底下，請將T18HVG2資料夾拷貝至自己的目錄底下，即可使用

對於本製程之使用若有其他問題，請與TSRI負責工程師聯絡，聯絡方式如下：
邵姿菁小姐，電話：06-2087971 ext. 8229，E-mail : tjshau@narlabs.org.tw

Return to Outline

T18HVG2製程注意事項(2/5)

- HSPICE：
  1) 使用語法 ".lib c018bcd_gen2_v1d6_usage.l xx_lib" 引用library section，其中，"xx_lib" 有7種library section：tt_lib、ss_lib、fs_lib、ff_lib、sf_lib、mc_lib、mismatch_lib
  2) 各個library section中，已包含各種元件的library，因此不需再呼叫個別元件的library
  3) 由於HV元件腳位較複雜，建議使用TSMC Cadence PDK建立schematic
- Virtuoso：
  本製程提供之PDK為Open Access格式，需使用Cadence IC6版本，且不相容於IC5版本，開啟指令為Rvirtuoso，而非Ricfb

◆ Layout相關注意事項

- Virtuoso：
  1) 本製程提供之PDK為Open Access格式，需使用Cadence IC6版本，且不相容於IC5版本，開啟指令為Rvirtuoso，而非Ricfb
  2) 因HV元件結構複雜，若自行繪製HV元件可能導致模擬結果不準確，建議使用PDK已建立好的Layout元件

Return to Outline

T18HVG2製程注意事項(3/5)

◆ 佈局驗證相關注意事項

- DRC驗證：下線前請確實執行以下三個驗證檔案
  1) Main design rule: T18HVG2_DRC.rule
  2) Antenna design rule: T18HVG2_ANTENNA.rule
  3) Wire bond design rule: T18HVG2_WireBond.rule
- LVS驗證：請於電路描述檔案中加入以下文字
  .inc ‘./source.added’
  （source.added路徑請依據實際檔案路徑填寫，此檔案位於T18HVG2/Calibre）

◆ TSRILIB相關注意事項

- 欲使用TSRILIB，請先至 TSRI網站→晶片實作→製程/矽智財申請 完成矽智財使用權限申請後可於貴指導教授之 EDA cloud帳號下，將TSRILIB的資料夾複製到個別的帳號下使用
- 本TSRILIB須以Cadence IC6中開啟
- TSRILIB中已提供I/O PAD，選擇自行設計者，請依design rule相關規範考量設計

Return to Outline

T18HVG2製程注意事項(4/5)

- 下線前,請確認以下事項
  - **晶片外圍建議加上seal ring**
    - 晶片需加上corner和seal ring保護晶片，防止切割造成損傷
    - gds檔案路徑請參考EDA cloud檔案: /cad/PDK/T18HVG2/PDK_T18HVG2.list
    - 在virtuoso或laker_oa匯入時，填入檔案路徑即可匯入成layout cell
  - **OD/PO/Metal Density 需符合DRC規範**
    - density過高或不足可能造成申請案件不被受理
    - 無法符合者，下線前，請先上客服詢問
  - 請確實填寫Tape-out Review Form
  - 可違反之DRC錯誤:
    1. DRM.R.1: 請詳閱製程文件T-018-CV-DR-027中DRM.R.1的說明後，即可忽略。
    2. MOM.R.2: MOM電容Density錯誤，若設計中未使用MOM電容，可忽略。
    3. DOD.R.1: 提醒可以使用DOD層作為OD的dummy之用，若是使用OD來補density，則可忽略。
    4. NBL.R.1: **需全晶片都是使用5V以下低壓元件(全晶片都沒有使用含有HVDMY drawing layer的元件)，才以忽略。**

Return to Outline

T18HVG2製程注意事項(5/5)

- Mixed-Signal Flow之設計案
  - 其內部Full-Custom Flow區域必須由設計者自行填補Dummy Pattern，並於外框自行加上Layer 150 Datatype 1~6、20、21的Block Layer，共8層Layer，以避免使用填補程式後，重覆填補Dummy Pattern於Full-Custom Flow區域內而影響電路特性。Layer如下表所示。
  - 而Cell-Based Flow區域需Replace者，則一律由TSRI代填OD/Poly/Metal Dummy；不需Replace者則全由設計者自行填補。

Layer (Virtuoso)	Layer (Laker)	Layer No.	Data Type	Usage Description
DMEXCL(dummy1)	DMEXCL(d1)	150	1	To avoid dummy metal1 inserting
DMEXCL(dummy2)	DMEXCL(d2)	150	2	To avoid dummy metal2 inserting
DMEXCL(dummy3)	DMEXCL(d3)	150	3	To avoid dummy metal3 inserting
DMEXCL(dummy4)	DMEXCL(d4)	150	4	To avoid dummy metal4 inserting
DMEXCL(dummy5)	DMEXCL(d5)	150	5	To avoid dummy metal5 inserting
DMEXCL(dummy6)	DMEXCL(d6)	150	6	To avoid dummy metal6 inserting
ODBLK(dummy)	ODBLK(dy)	150	20	To avoid dummy OD insertion
POBLK(dummy)	POBLK(dy)	150	21	To avoid dummy PO insertion

Return to Outline

T50GaN製程注意事項(1/2)

- 製程簡介
  - Technology: TSMC 0.50 UM GAN WBG E-HEMT USG AL 0P3M HKMG 650V
  - 設計環境選定如下：
    1) Metallization: 0P3M, with metal 3 of 30 kÅ single UTM
    2) MIM capacitor: between MG/M0_FP, with 0.2 fF/um2 capacitance
  - 各元件耐壓範圍請參考T50GaN design rule “T05UDDDR003” sec. 3.4 Device List and Spec
- 製程資料相關注意事項
  - T50GaN相關檔案皆在EDA Cloud中的/cad/PDK/T50GaN底下，請將T50GaN資料夾拷貝至自己的目錄底下，即可使用
- HSPICE：
  - 使用語法 “.lib c050_650v_ehemt_v1d1_usage.l lib_section” 引用，其中lib_section有12種：TTMacro_MOS_MOSCAP、SSMacro_MOS_MOSCAP、FFMacro_MOS_MOSCAP、SFMacro_MOS_MOSCAP、FSMacro_MOS_MOSCAP、TTGlobalCorner_LocalMC_MOS_MOSCAP、SSGlobalCorner_LocalMC_MOS_MOSCAP、FFGlobalCorner_LocalMC_MOS_MOSCAP、SFGlobalCorner_LocalMC_MOS_MOSCAP、FSGlobalCorner_LocalMC_MOS_MOSCAP、LocalMCOnly_MOS_MOSCAP、GlobalMC_LocalMC_MOS_MOSCAP
  - 如有使用到電阻、MIMCAP的請再引用XX_RES、XX_MIM，各有3種library section：TT_RES、SS_RES、FF_RES、TT_MIM、SS_MIM、FF_MIM
  - 由於HV元件腳位較複雜，建議使用TSMC Cadence PDK建立schematic
- Virtuoso：
  - 本製程提供之PDK為Open Access格式，需使用Cadence IC6版本開啟，指令為Rvirtuoso
  - 相關檔案皆置在T50GaN/Virtuoso_OA底下(資料夾Virtuoso為舊版本不再更新，使用者請勿使用)，請在Virtuoso_OA資料夾下開啟
  - 因HV元件結構複雜，若自行繪製HV元件可能導致模擬結果不準確，建議使用PDK已建立的Layout元件

對於本製程之使用若有其他問題，請與TSRI負責工程師聯絡，聯絡方式如下：
方喬立先生，電話：06-2087971 ext. 8108，E-mail : clfang@narlabs.org.tw

Return to Outline

T50GaN製程注意事項(2/2)

- 佈局驗證相關注意事項
  - DRC驗證：下線前請確實執行以下驗證檔案
    - Main design rule: T50GaN_DRC.rule
  - LVS驗證：請於電路描述檔案中加入以下文字
  - .inc ‘./source.added’
  - （source.added路徑請依據實際檔案路徑填寫，此檔案位於T50GaN/Calibre）
- 下線前,請確認以下事項
  - **需全符合DRC規範**
    - 未符合者之申請案件將不被受理
  - 請確實填寫Tape-out Review Form

對於本製程之使用若有其他問題，請與TSRI負責工程師聯絡，聯絡方式如下：
方喬立先生，電話：06-2087971 ext. 8108，E-mail : clfang@narlabs.org.tw

Return to Outline

加入會員

- 申請者在申請晶片製作之前，教授/學生均須完成加入會員與製程資料申請及授權。
- 加入會員網址：https://www.tsri.org.tw/main.jsp
  -> 會員服務 ->晶片設計與製作服務系統->會員服務->加入會員
- 教授若欲更改基本資料,亦需由此登入方能修改。
- **若修改服務單位或個人姓名異動，須重新申請製程權限**

Return to Outline

教育性申請修課學生點名單範例

0000 大學000學年度第0學期點名記分表

課程編號：　　班次：　　任課教師：000　　學分：

科目名稱：000

本名單將依第三周人工加簽及停修申請隨時異動。行事曆表定停修截止日期：　　姓名加(特)為身障生;(外)為外籍生;(休)為休學生;(自)自主健康管理;(防)防疫假;(未)因疫情暫未抵臺。

系所組別	年級	學號	姓名	缺席記載				平時成績				期中考試成績	期末考試成績	學期總成績
				月日	月日	月日	月日	1	2	3				
電子所	1	ooo	修課學生											
電子所	1	ooo	修課學生											
電子所	1	ooo	修課學生											
電子所	1	ooo	修課學生											
電子所	1	ooo	修課學生											
電子所	2	ooo	修課學生											
電子所	2	ooo	修課學生											
電子所	2	ooo	修課學生											
電子所	2	ooo	修課學生											
電子所	2	ooo	修課學生											

example

任課教師簽章

系所章或課務組章

**注意事項：

一、點名單的紅色標記部分即必要檢查項目，如下：學校系所、年度學期、科目名稱、任課教授、申請者姓名，並需由任課教師簽章並蓋系所章。

二、繳交非正式點名單時，請加蓋課務單位章以茲證明。

三、點名單轉成圖檔或PDF檔，並連同Excel檔(下載：https://www.tsri.org.tw/CommonUtilServlet?type=2.84&file=chipserviced1s1a1edu(1).xls)一併Email至 cisd_edu@narlabs.org.tw。

Return to Outline

歷年度晶片製作申請無法受理與不下線原因(1/3)

- 未過下線申請資格：
  - 指導教授(授課教授)無該製程使用權限
  - 申請者或共同設計者未被任一教授授權製程使用權限
  - 指導教授或授課教授未繳交當年度智慧財產權切結書(需教授簽章及蓋系所章)
  - 教師所屬前瞻性申請案有3篇以上測試報告未繳
  - 教師所屬教育性申請案有6篇以上測試報告未繳
  - 申請者缺交測試報告
- 超過教育性晶片面積限制
- 未出席審查會
- 未回覆委員建議或回覆內容不完整
- TSRI提供可下線面積用罄
- 自請取消

Return to Outline

歷年度晶片製作申請無法受理與不下線原因(2/3)

- 未上傳檔案或上傳檔案不完整：
  - 未上傳GDS檔
  - 未上傳LVS檔
  - 未上傳drc summary檔
  - 未上傳Tapeout Review Form
  - 未上傳設計報告電子檔
- DRC Error
- 替換I/O後發生DRC Errors
- IO Pad rename, 以致無法替換IO Pad
- 用錯DRC file
- 佈局檔無電路佈局
- LVS Error(Source and layout refer to the same data)

Return to Outline

歷年度晶片製作申請無法受理與不下線原因(3/3)

- 未做晶片檢查
- 未做post-simulation
- metal density 不足
- PAD命名與TSMC衝突
- PAD長寬長度過小且未開窗,無法打線
- RLS並非開在電感的位置，線圈結構恐無法release
- 申請表未勾選使用TSRI後製程但GDS File卻有RLS層
- 其他：
  - 使用舊版Tapeout Review Form
  - Tapeout Review Form填寫不完整或不確實
  - 設計報告內容撰寫不完整或不確實
  - 設計報告內容佈局平面圖與佈局檔佈局不符

Return to Outline

其他注意事項

1. 提醒 I/O Library、Cell-Based以及MEMS製程的使用者:
   1) 若有使用I/O Library或 Cell Library ，請務必在晶片製作申請表上做正確的勾選。
   2) I/O Library 所指的是晶片送至TSRI後，由TSRI做合成的I/O Library ，並非同學自行設計、透過其他管道所取得的Cell Library或是裸PAD。
   3) Cell Library 所指的是晶片送至TSRI後，由TSRI做合成的Cell Library (使用Cell-Based Flow)，並非同學自行設計或是由其他管道所取得的Cell Library。
   4) MEMS製程指的是利用TSRI提供的後製程（由RLS光罩定義）。若無利用TSRI提供之後製程則不必勾選。
   5) 使用上述製程的申請者，請於線上填寫晶片製作申請表時，務必確實勾選正確之〝**特殊製程選項**〞。

2. 由於0.18um以後的製程在晶片製作上需考慮到金屬密度(Metal density)的問題, 故會在每一層金屬上加上假金屬(Dummy metal)，致使同學的設計成品無法顯現電路圖形，造成打線時方向腳位無法辨識，故請同學們在繳交打線圖時特別注意，且佈局填加適當Top Metal辯識層，以使封裝廠能正確地找到實際腳位。

Return to Outline